

Integriertes Mikroprozessorsystem für sicherheitskritische Regelungen

Die Erfindung betrifft eine integrierte Schaltungsanordnung gemäß Anspruch 1 sowie dessen Verwendung in elektronischen Bremssystemen für Kraftfahrzeuge oder in elektronischen Steuerungen zur Regelung der Fahrdynamik von Kraftfahrzeugen oder zur Steuerung von elektronisch gesteuerten Feststellbremsen oder zur Steuerung von Fahrzeugrückhaltesystemen, wie beispielsweise Airbagsteuerungen.

Mikroprozessorsysteme für sicherheitskritische Regelungen sind beispielsweise aus der DE 197 16 197 A1 bekannt. Die dort offenbarten Mikroprozessorsysteme weisen eine redundante Datenverarbeitung auf, um für sicherheitskritische Anwendungen, wie ABS- oder ESP-Steuergeräte geeignet zu sein. Zur Herstellung von Redundanz enthält das Mikroprozessorsystem duplizierte Funktionsgruppen auf, welche jeweils Zentraleinheiten (CPU's), Busssysteme und weitere Funktionsgruppen, wie Speicher und Eingabe-/Ausgabekomponenten (I/O) umfassen. Durch spezielle Vergleiche und Bypässe, welche Vergleiche der Daten der Ausgangsdaten oder Ausgangssignale der Zentraleinheiten durchführen, lässt sich die ordnungsgemäße Funktion der Funktionsgruppen überprüfen.

Zu den sicherheitskritischen Regelungen gemäß der Erfindung zählen u.a. die in die Bremsenfunktion eines Kraftfahrzeugs eingreifenden Regelungssysteme, die in großer Anzahl und großer Vielfalt auf dem Markt sind. Beispiele hierfür sind die Antiblockiersysteme (ABS), Antriebsschlupfregelungssysteme (ASR), Fahrstabilitätsregelungen (ESP, TCS, FDR, ASMS), Fahrwerksregelungssysteme, aber auch Steuergeräte für Feststellbremsen und Rückhaltesysteme etc. Zum Beispiel würde ein Ausfall eines ESP-Regelungssystems zu einer Gefährdung der Fahrstabilität des Fahrzeugs führen. Deshalb wird die Funktionsfähigkeit der Systeme ständig überwacht, um beim

- 2 -

Auftreten eines Fehlers die Regelung abschalten ("fault silent") oder in einen für die Sicherheit weniger gefährlichen Zustand umschalten ("fault tolerant") zu können.

Die Überwachung der ordnungsgemäßen Funktion von integrierten Schaltkreisen ist bei einer Anwendung in Bremssysteme bzw. Kraftfahrzeug-Regelungssystemen, bei denen bei Ausfall der Elektronik keine Umschaltung auf ein mechanisches oder hydraulisches System möglich ist, noch um einiges wichtiger. Hierzu zählen aktuelle Bremssystemkonzepte, wie "brake-by-wire"; die Bremsenfunktion ist bei solchen Systemen auf einen intakten elektronischen Schaltkreis angewiesen, so dass für diese Bremssysteme die mit einem fehlertoleranten Redundanzkonzept ("fault tolerant") ausgelegten Mikroprozessorsysteme von besonderer Bedeutung sind.

Ein weiteres Beispiel für eine Schaltungsanordnung oder ein Mikroprozessorsystem zur Steuerung und Überwachung einer blockiergeschützten Fahrzeugbremsanlage ist aus der DE 32 34 637 C2 bekannt. Nach dieser Schrift werden die Eingangsdaten zweier identisch programmierter Mikrocomputer parallel zugeführt und dort synchron verarbeitet. Die Ausgangssignale und Zwischensignale der beiden Mikrocomputern werden mit Hilfe von redundanten Vergleichen auf Übereinstimmung geprüft. Wenn die Signale voneinander abweichen, wird über eine ebenfalls redundant ausgelegte Schaltung eine Abschaltung der Regelung herbeigeführt. Bei dieser bekannten Schaltung dient einer der beiden Mikrocomputer zur Erzeugung der Bremsdrucksteuersignale, der andere zur Bildung der Prüfsignale. Bei diesem symmetrisch aufgebauten Mikroprozessorsystem sind also zwei vollständige Mikrocomputer, einschließlich der zugehörigen Festwert- und Schreib-Lese-Speicher, erforderlich.

- 3 -

Nach einem anderen bekannten System, nach dem die in der DE 41 37 124 A1 beschriebene Schaltung aufgebaut ist, werden die Eingangsdaten ebenfalls zwei Mikrocomputern parallel zugeführt, von denen jedoch nur einer die vollständige, aufwendige Signalverarbeitung ausführt. Der zweite Mikrocomputer dient vornehmlich zur Überwachung, weshalb die Eingangssignale nach Aufbereitung, Bildung von zeitlichen Ableitungen etc. mit Hilfe vereinfachter Regelalgorithmen und vereinfachter Regelphilosophie weiterverarbeitet werden können. Die vereinfachte Datenverarbeitung reicht zur Erzeugung von Signalen aus, die durch Vergleich mit den in dem aufwendigeren Mikrocomputer verarbeiteten Signalen Rückschlüsse auf den ordnungsgemäßen Betrieb des Systems zulassen. Durch die Verwendung eines Prüf-Mikrocomputers geringerer Leistungsfähigkeit lässt sich der Herstellungsaufwand im Vergleich zu einem System mit zwei vollständigen, aufwendigen Mikrocomputern gleicher Leistung reduzieren.

Aus der DE 43 41 082 A1 ist bereits ein Mikroprozessorsystem bekannt, das insbesondere für das Regelsystem einer blockiergeschützten Bremsanlage vorgesehen ist. Dieses bekannte System, das auf einem einzigen Chip untergebracht werden kann, enthält zwei Zentraleinheiten, in denen die Eingangsdaten parallel verarbeitet werden. Die Festwert- und die Schreib-Lese-Speicher, die an die beiden Zentraleinheiten angeschlossen sind, enthalten zusätzliche Speicherplätze für Prüfinformationen und umfassen jeweils einen Generator zur Erzeugung von Prüfinformationen. Die Ausgangssignale eines der beiden Zentraleinheiten werden zur Erzeugung der Steuerungssignale weiterverarbeitet, während die andere als passive Zentraleinheit lediglich zur Überwachung der aktiven Zentraleinheit dient.

- 4 -

Bei den vorgenannten, bekannten Systemen wird also grundsätzlich die erforderliche Sicherheit durch Redundanz der Datenverarbeitung erreicht. Im ersten Fall (DE 32 34 637 C2) basiert das System auf der Verwendung von zwei Prozessoren mit identischer Software, was in Fachkreisen als symmetrische Redundanz bezeichnet wird. Im zweiten Fall (DE 41 37 124 A1) werden zwei Prozessoren mit unterschiedlicher Software verwendet (sog. asymmetrische Redundanz). Grundsätzlich ist es auch möglich, einen einzigen Prozessor zu verwenden, der auf Basis unterschiedlicher Algorithmen die Eingangsdaten verarbeitet, wobei dann zusätzliche Überprüfungsalgorithmen zum Feststellen eines fehlerfreien Arbeitens Anwendung finden.

Schließlich ist aus der DE 195 29 434 A1 (P7959) bereits ein System der eingangs genannten Art bekannt, das auch als System mit Kernredundanz bezeichnet wird. Bei diesem bekannten Mikroprozessorsystem sind zwei synchron betriebene Zentraleinheiten auf einem oder auf mehreren Chips vorgesehen, die die gleichen Eingangsinformationen erhalten und das gleiche Programm abarbeiten. Die beiden Zentraleinheiten sind dabei über separate Bus-Systeme an die Festwert- und an die Schreib-Lese-Speicher sowie an Eingabe- und Ausgabeeinheiten angeschlossen. Die Bus-Systeme sind untereinander durch Treiberstufen bzw. Bypässe verbunden sind, die den beiden Zentraleinheiten ein gemeinsames Lesen und Abarbeiten der zur Verfügung stehenden Daten, einschließlich der Prüfdaten und Befehle ermöglichen. Das System ermöglicht eine Einsparung von Speicherplatz. Nur eine der beiden Zentraleinheiten ist (direkt) mit einem vollwertigen Festwert- und einem Schreib-Lese-Speicher verbunden, während die Speicherkapazität des zweiten Prozessors auf Speicherplätze für Prüfdaten (Paritätsüberwachung) in Verbindung mit einem Prüfdatengenerator beschränkt ist. Zugriff zu allen Daten besteht über

- 5 -

die Bypässe. Dadurch sind beide Zentraleinheiten in der Lage, jeweils das vollständige Programm abzuarbeiten.

Die vorstehend beschriebenen hochintegrierten und komplexen sicherheitskritischen Mikroprozessorsysteme wurden bisher nicht mit den zur Ansteuerung von energiezehrenden Verbrauchern, wie Ventilsolenoiden zur hydraulischen Bremsdruckregelung, aktiven Bauelementen auf einem gemeinsamen Chip oder Chipträger zusammengefasst. Aus diesem Grund war es bisher notwendig, in den elektronischen Reglern für elektronische Bremssysteme mehrere integrierte Schaltkreise (z.B. IC's bzw. separat gehäuste Chips) auf einem oder mehreren Leiterbahnträgern unterzubringen. Nur so konnten sowohl die für die eigentliche elektrohydraulische Funktion (z.B. Aktuatoransteuerung, redundante Endstufen, Treiber), als auch die für den Betrieb des Mikroprozessors notwendigen Failsafe-Baugruppen realisiert werden. Bei diesem 2-Chip-System enthält der erste Chip das redundante Mikroprozessorsystem und der zweite Chip umfasst sowohl digitale als auch analoge Schaltungsteile (mixed signal) mit Baugruppen zur Signalaufbereitung (signal conditioning), Aktuatoransteuerung und für die Behandlung der Failsafe-Funktionalität (z.B. Watchdog).

Die vorliegende Erfindung setzt sich zum Ziel, eine integrierte Schaltungsanordnung zur Verfügung zu stellen, die einerseits die bislang getrennten Schaltkreise auf einem gemeinsamen Chip oder Chipträger zusammenfasst und gleichzeitig in der Lage ist, bei praktisch jedem auftretenden Einzelfehler eine Erkennung dieses Fehlers zuverlässig zu ermöglichen.

Diese Aufgabe wird erfindungsgemäß durch die integrierte Schaltungsanordnung gemäß Anspruch 1 gelöst.

- 6 -

Der Erfindung liegt somit der Gedanke zugrunde, ein sogenanntes "Single Chip EBS System" zu schaffen, also beispielsweise eine Schaltungsanordnung für ein elektronisches Bremssystem, welche lediglich einen, gegen Fehler und äußere Störeinflüsse intern abgesicherten, fehlerredundanten, hochintegrierten Schaltkreis aufweist. Die erfindungsgemäße Schaltungsanordnung ist deshalb praktisch vollständig auf einem Stück eines Halbleitersubstrats (z.B. Silizium) realisierbar. Hierdurch lässt sich die sonst vielfach übliche Trennung von Leistungselektronik und hochintegrierten Schaltkreisen vermeiden.

Durch die in Anspruch 6 bevorzugte Ausführungsform wird mit Hilfe der gemäß Anspruch 1 vorgeschlagenen Integration der bislang getrennten integrierten Schaltkreise eine überaus hohe Komplexität bei der Fehlererkennung und der Fehlertoleranz möglich. Bei Erkennung eines entsprechenden Fehlers wird vorzugsweise entweder in eine sogenannte sichere Rückfallebene zurückgeschaltet oder auf eine andere, funktionsfähige Funktionsgruppe mit gleicher Funktion umgeschaltet oder die betreffende Funktionsgruppe stillgelegt (fault silent). Beispielsweise sind in der Rückfallebene noch bestimmte Software-Teilfunktionen des EBS auch in dem reduzierten Funktionsumfang durchführbar, jedoch sind andere Software-Funktionen je nach Tiefe der Rückfallebene nach und nach nicht mehr durchführbar. Die Schaltung weist insbesondere mehrere solcher Rückfallebenen auf, z.B. in der Reihenfolge ESP, ASR, ABS, wobei von links nach rechts die Anzahl der funktionstüchtigen Schaltungselemente abnimmt.

Vorzugsweise werden zur weiteren Erhöhung der Sicherheit in den Gebieten zwischen den einzelnen getrennt deaktivierbaren Funktionsgruppen der integrierten Schaltungsanordnung Schutzzonen ausgebildet. Beispielsweise kann eine entspre-

- 7 -

chende Schutzzone ein Gebiet der integrierten Schaltungsanordnung sein, welches vorzugsweise sehr hochohmig im Vergleich zur Umgebung ist und als Isolation gegen Totalausfälle der verschiedenen Funktionsgruppen (IC's) auf dem Chip verwendet wird. Auf diese Weise ist es möglich, Fehler wie Überspannung, elektrostatische Spannungen (ESD), Überlastung, in einer Funktionsgruppe begrenzt zu halten, so dass die durch den Fehler hervorgerufenen Schäden nicht zu einer Beschädigung der in Nachbarschaft zu der beschädigten Funktionsgruppe liegenden Funktionsgruppen führen. Hierdurch kann erst ein sicheres Umschalten in den sicheren Modus durch den jeweils anderen noch funktionsfähigen Teil gewährleistet werden.

Die Schutzzonen werden bevorzugt als Guard-Ringe oder Trenches (beispielsweise Deep-Trenches) ausgebildet. Auch eine Kombination dieser beiden Isolationsmethoden kann für besondere Fälle zweckmäßig sein.

Die integrierte Schaltungsanordnung gemäß der Erfindung definiert einen Mikrokontroller, welcher praktisch alle notwendigen Analogschaltkreise umfasst, so dass sich diese bislang getrennten Funktionseinheiten auf einem gemeinsamen Chip oder Chipträger befinden. Der eingesetzte Chip oder Chipträger besteht bevorzugt im wesentlichen aus einem Halbleitermaterial, wie z.B. Silizium oder Germanium.

Das Layout der erfindungsgemäßen Schaltung wird bevorzugt so hergestellt, dass möglichst wenige leitende Verbindungen zwischen den einzelnen Funktionsgruppen und eine möglichst geringe Zahl von Leitungsüberschneidungen vorhanden sind. Auf diese Weise werden auch die sonst in hoher Zahl notwendigen ggf. vorhandenen Pufferstrukturen vermindert. Um dies zu erreichen, ist es besonders zweckmäßig, eine verbesserte

- 8 -

Routingmethode anzuwenden, wie sie in der Patentanmeldung PCT/EP0200416 beschrieben ist. Das in dieser Patentanmeldung beschriebene Verfahren, welches bevorzugt zur Herstellung der erfindungsgemäßen integrierten Schaltungsanordnung eingesetzt wird, führt eine Erstellung eines Layouts mittels eines automatisierten Verfahrens durch, bei dem mindestens zwei logisch getrennte Teilsysteme (Funktionsgruppen) vorgesehen sind, und neben der logischen Trennung zusätzlich eine räumliche (physikalische) Trennung der Teilsysteme auf der zur Verfügung stehenden Fläche der Schaltungsanordnung vorgenommen wird.

Die auf dem gemeinsamen Chip oder Chipträger angeordneten, paarweise oder mehrfach vorhandenen Funktionsgruppen, wie Überwachungsschaltungen, Spannungsüberwachungen, Watchdog etc., sind bevorzugt elektrisch so miteinander und/oder mit einem Aktuator verbunden, dass jeweils der Ausfall einer Funktionsgruppe durch die zum Paar gehörende andere Funktionsgruppe und/oder durch ein an beide zum Paar gehörenden Funktionsgruppen angeschlossenes Bauelement (z.B. Aktuatortreiber) bemerkt wird. Auf diese Weise kann, z.B. wenn eine Störung in den Leitungsverbindungen der beiden Schaltungen vorliegt, der entsprechende Aktuatortreiber abgeschaltet werden.

Mit der Erfindung wird somit vorteilhafterweise eine Reduzierung der Bauteilanzahl erreicht, wodurch sich neben geringeren Kosten vor allem eine verbesserte Ausfallrate und Zuverlässigkeit ergibt.

Weitere bevorzugte Ausführungsformen ergeben sich aus den Unteransprüchen, der nachfolgenden Beschreibung der Figuren.

- 9 -

Es zeigen

- Fig. 1 eine Schaltungsanordnung einer Regelelektronik nach dem Stand der Technik,
- Fig. 2 eine Schaltungsanordnung für ein beispielgemäßes Mikrorechnersystem,
- Fig. 3 schematische Darstellungen eines Beispiels zur Realisierung von Leitungsdurchführungen zwischen getrennten Funktionsblöcken in der Schaltungsanordnung gemäß Fig. 2 und
- Fig. 4 eine schematische Darstellung eines Beispiels für die Ausführung der Schaltungsanordnung im Bereich eines Ventiltreibers (MD).

Die Schaltungsanordnung in Fig. 1 umfasst alle notwendigen Funktionsgruppen eines sicherheitsoptimierten, an sich bekannten, und vielfach in heutigen Kraftfahrzeugen eingesetzten universellen ABS-, ASR- und ESP-Steuergeräts. Die gestrichelten Linien stehen für voneinander abgetrennte Bereiche 1, 2 und 5. Diese symbolisieren drei voneinander getrennte, separat eingehäute integrierte Schaltkreise (Chips), welche auf einem nicht dargestellten gemeinsamen Leiterbahnträger angeordnet sind.

Die für den Betrieb notwendigen Funktionsgruppen sind unter anderem ein integriertes Mikroprozessorsystem 1, welches in einem ersten Chip angeordnet ist, eine integrierte Leistungselektronik 2, welche in einem zweiten Chip angeordnet ist, und eine Sicherheitsschaltung 5. Mikroprozessorsystem 1 umfasst im wesentlichen einen ersten Mikroprozessor 3 und

- 10 -

einen zweiten Mikroprozessor 4. Neben Chip 1 ist Failsafe-Modul 7 zur Überwachung der Chips 1 und 2 vorgesehen.

In Chip 2 sind die Endstufentreiber 11 zur Ansteuerung der Magnetventile 6 zusammengefasst. Ferner umfasst die Schaltungsanordnung eingangsseitig einen A/D-Wandler 8, eine Sensorsignalaufbereitungseinheit 31, die mit Raddrehzahlsensoreingang 9 und Raddrehzahlsensoren 20 verbunden ist. Weiterhin sind dort Oszillatoren 10, 10', Relais 12 zum Schalten von Pumpenmotor 13, Warnlampentreiber 15 zur Ansteuerung von Warnlampen 14, CAN-Treiber 16, SPI-Treiber 17, EEPROM 18, Eingabe-/Ausgabe-Ports 19, Spannungsregler 21, sowie redundante elektronische Schaltelemente 26 zur Abschaltung der Ventilspulen 26 (MD) zusammengefasst.

In Fig. 2 ist ein Beispiel für einen Mikrokontroller 23 gemäß der Erfindung dargestellt, welches die Besonderheit aufweist, dass alle Funktionsgruppen für ein Fahrdynamikregelungssystem (für ABS, ESP etc.) auf einem gemeinsamen Siliziumchip 23 als sogenanntes "single chip"-System angeordnet sind. Bei den Funktionsgruppen handelt es sich im Prinzip immer um eigenständige integrierte Schaltungen. Mikrokontroller 23 umfasst ein redundantes Mikroprozessorsystem 1 mit einem ersten Mikrorechner 22 und zweiten Mikrorechner 23, welche, je nach dem vorhandenen Redundanzkonzept (Kernredundanz, symmetrische Redundanz, asymmetrische Redundanz), über einen nichtgezeichneten seriellen oder parallelen Datenbus miteinander verbunden sind. Über diesen Datenbus können die Mikrorechner Daten zur Überprüfung deren korrekten Funktion austauschen bzw. sich gegenseitig bei einer Fehlfunktionen aktivieren bzw. sich oder das ganze System abschalten.

- 11 -

Mikrokontroller 2 umfasst weiterhin die Funktionsgruppen A/D-Wandler 8, Ventiltreiber (PWM oder Digital) 11, allgemeine Signalverarbeitungseinheit 31 für Sensoren (insbesondere Rad-, und/oder Drucksensoren), Warnlampentreiber 15, Spannungsversorgung 21, Sicherheitsschaltung 5, 5', 7, 7', 27, wie zum Beispiel Watchdog bzw. Funktionsgruppen zur Spannungsüberwachung der äußeren Betriebsspannungen (FMon), redundante Spannungsreferenzen 32, 32' (z.B. Bandgap-Referenzen), Ansteuerlogik 33 für die Leistungstreiberstufen.

Die im vorstehenden Absatz beschriebenen Funktionsgruppen, welche in den Figuren 3 a) und b) noch einmal am Beispiel von zwei Funktionsgruppen vergrößert dargestellt sind, sind durch Isolationszonen 24, zum Beispiel Guardringe oder Trenches (Gräben), voneinander so isoliert, dass defekte Schaltungsteile keinen Einfluss auf benachbarte Funktionsblöcke haben. Außerdem sind die Funktionsgruppen auf dem Chip bevorzugt so angeordnet, dass redundante Funktionen physikalisch (räumlich und/oder elektrisch) auf dem Chip möglichst weit voneinander getrennt sind. Hierdurch kann eine Wechselwirkung der baugleichen Gruppen auf Grund einer Funktionsstörung -wie etwa durch thermische Überlastung oder ESD-Einwirkung verursacht- verhindert werden.

In Fig. 3 sind in einer Prinzipdarstellung zwei elektrisch miteinander verbundene Funktionsgruppen 25 und 25' gezeichnet, welche durch Isolationszonen 24 voneinander isoliert sind. Die elektrischen Leitungen 30 verbinden die Funktionsblöcke miteinander und sind dazu wie Brücken über die Isolationszonen 24 hinweggeführt. Um Sicherheitsnachteile aufgrund von Leitungsverbindung zu vermeiden, ist eine zusätzliche elektrische Trennung der Funktionsgruppen vorgesehen. Deshalb sind Leitungen 30 so ausgeführt, dass bei einem Feh-

- 12 -

ler von Funktionsgruppe 25 keine Rückwirkung auf die Funktionsgruppe 25' bzw. umgekehrt möglich ist. Hierzu sind in die Leitungen unidirektionale Puffer 28, 28' (Fig. 3a) oder ESD-Schutzstrukturen 29, 29' (Fig. 3b) eingefügt.

In Fig. 4 ist der Bereich der Chipfläche 23 dargestellt, auf dem sich die in Fig. 2 erwähnten Überwachungsschaltungen 5 und 5' (FMon zur Überwachung der Betriebsspannung) befinden. Entsprechend dem Beispiel in Fig. 3b) ist eine Leitung 38 vorgesehen, welche über Schutzstruktur 24 führt und einen Puffer 28 enthält. Überwachungsschaltung 5 ist über Leitung 37 mit UND-Gatter 34 verbunden. Entsprechend ist die redundante Überwachungsschaltung 5' über Leitung 38 mit UND-Gatter 34 verbunden. Ein weiterer Eingang des UND-Gatters ist mit Treiberansteuerelektronik 35 zur Ansteuerung des Hauttreibers 26 (MD) verbunden.

Tritt beispielsweise eine Störung in den Leitungsverbindungen der beiden Schaltungen 5 und 5' auf, wird die Signalleitung 36 bei Ansteuerung des Haupttreibers 26 durch Haupttreiberansteuerung 35 nicht mit einem elektrischen Signal beaufschlagt. An Leitung 36 liegt nur dann ein Signal an, wenn alle Eingänge des UND-Gatters mit einem Signal beaufschlagt sind. Ein Ausfall einer Überwachungsschaltung 5 oder 5' bzw. ein durch diese Schaltung festgestellter Fehler führt somit zur Sperrung des Haupttreibers 26 und damit zur Abschaltung des Ventils 6.

Patentansprüche

1. Integrierte Schaltungsanordnung für sicherheitskritische Anwendungen, insbesondere für Steuerungs- und Regelaufgaben in einem elektronischen Kraftfahrzeugbremsystem, umfassend mehrere elektronische, zusammenwirkende Funktionsgruppen (25, 25'), wobei elektrischen Leitungen (30) vorhanden sind, die die Funktionsgruppen (25, 25') miteinander verbinden, **gekennzeichnet** durch Funktionsgruppen erster Art und zweiter Art, wobei die Funktionsgruppen der ersten Art zumindest die Funktionsgruppe redundantes Mikroprozessorsystem (1) und insbesondere die Funktionsgruppe Ein-/Ausgabeeinrichtungen (19) umfassen, und die Funktionsgruppen zweiter Art zumindest die Funktionsgruppen Aktuatortreiber (11, 15, 24, 35) und Sicherheitsschaltkreise (5, 5', 7, 7') umfassen, und wobei die Funktionsgruppen erster Art und zweiter Art auf einem gemeinsam Chip oder Chipträger (23) vereint sind.
2. Schaltungsanordnung nach Anspruch 1, dadurch **gekennzeichnet**, dass das redundante Mikroprozessorsystem ein kernredundantes Mikrokontroller-System oder ein Mikrokontroller-System mit symmetrischer Redundanz oder ein Mikrokontroller-System mit asymmetrischer Redundanz ist.
3. Schaltungsanordnung nach Anspruch 1 oder 2, dadurch **gekennzeichnet**, dass die Funktionsgruppen zumindest teilweise oder bevorzugt sogar überwiegend durch isolierte Bereiche, insbesondere dotierte Guard-Ringe und/oder eingeätzte Barrieren, wie beispielsweise Trenches oder Deep-Trenches, voneinander geschützt sind.

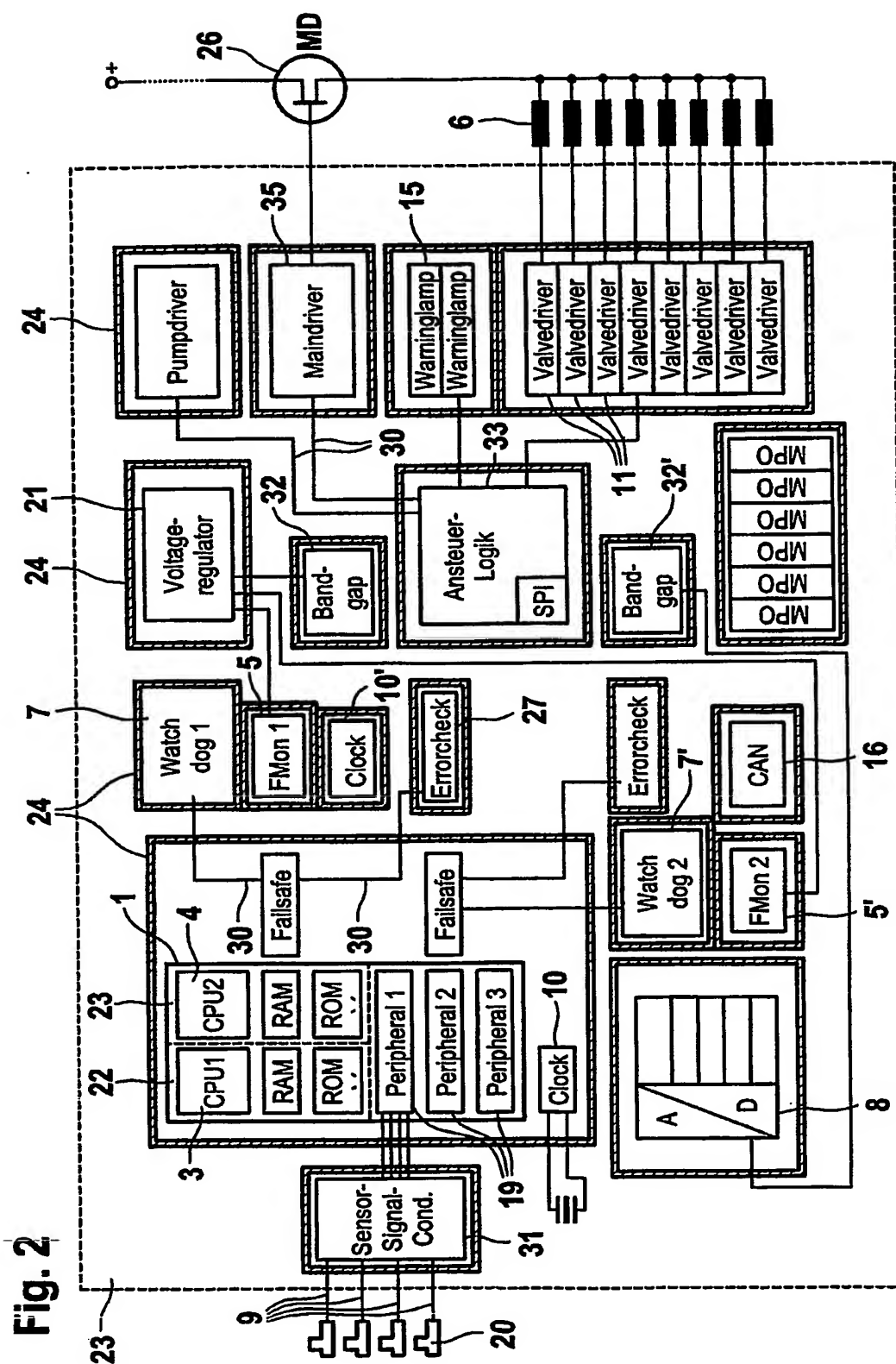
- 14 -

4. Schaltungsanordnung nach mindestens einem der Ansprüche 1 bis 3, dadurch **gekennzeichnet**, dass die elektrischen Leitungen (30), die von einer ersten Funktionsgruppe (25) zu einer zweiten Funktionsgruppe (25') führen, mittels Pufferelement/-en (28) und/oder ESD-Schutzstrukturen (29, 29') vor fehlererzeugenden Ereignissen der Nachbarkunktionsgruppe/-n und/oder vor fehlererzeugenden äußeren Einflüssen geschützt sind.
5. Schaltungsanordnung nach Anspruch 3 oder 4, dadurch **gekennzeichnet**, dass die elektrischen Leitungen auf mindestens einer oder jeder einer Funktionsgruppe zugewandten Seite eines isolierten Bereichs ein Pufferelement und/oder eine ESD-Schutzstruktur aufweisen.
6. Schaltungsanordnung nach mindestens einem der Ansprüche 1 bis 5, dadurch **gekennzeichnet**, dass das Mikroprozessorsystem, die Funktionsgruppen erster Art, welche insbesondere im wesentlichen digitale Schaltungskomponenten umfassen, und die Funktionsgruppen zweiter Art, welche im wesentlichen analoge Schaltungskomponenten zur Ansteuerung von leistungsfähigen Verbrauchern und insbesondere die Sicherheitsschaltkreise so miteinander vernetzt, dass eine individuelle Sicherheitsüberwachung der einzelnen Funktionsgruppen ermöglicht wird.
7. Schaltungsanordnung nach mindestens einer der Ansprüche 1 bis 6, dadurch **gekennzeichnet**, dass ein Teil der Funktionsgruppen zwei oder mehrfach redundant ausgeführt ist (5, 5') und bei einer Fehlfunktion der redundant ausgeführten Funktionsgruppe (5) eine andere, gleichartige Funktionsgruppe (5') die Funktion der fehlerhaften Funktionsgruppe übernimmt, wobei zu diesem Zweck Signallei-

- 15 -

tungen (37, 38) und Logikkomponenten (34) vorgesehen sind, welche entweder ein Abschalten der fehlerhaften Funktion bewirken (fault silent) oder welche ein Umschalten der Funktion auf die fehlerfrei funktionierende Funktionsgruppe (5') gewährleisten (fault tolerant).

8. Verwendung der Schaltungsanordnung gemäß den Ansprüchen 1 bis 7 in elektronischen Bremssystemen für Kraftfahrzeuge oder in elektronischen Steuerungen zur Regelung der Fahrdynamik von Kraftfahrzeugen oder zur Steuerung von elektronisch gesteuerten Feststellbremsen oder zur Steuerung von Fahrzeugrückhaltesystemen, wie beispielsweise Airbagsteuerungen.



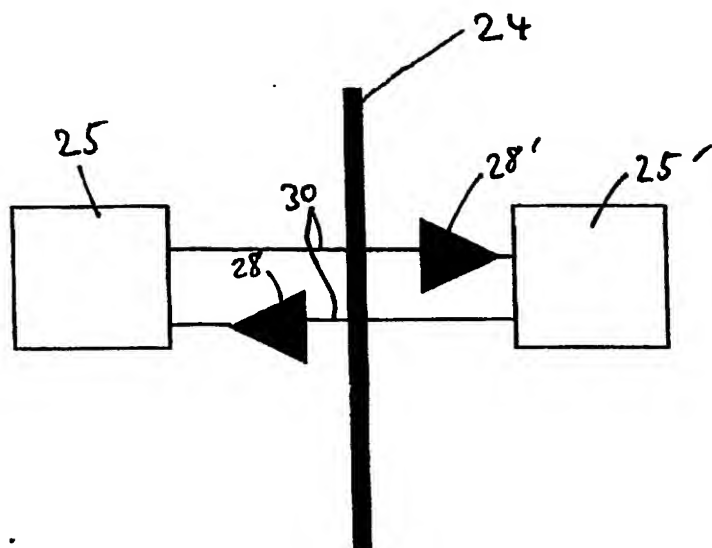


Fig. 3 a

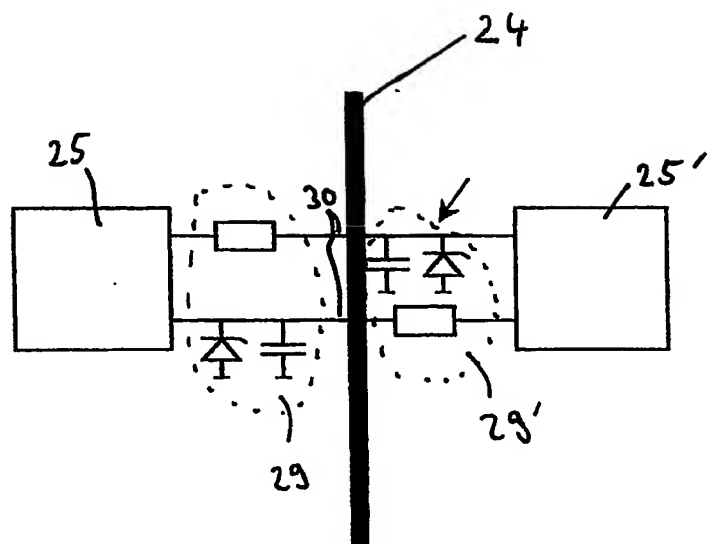
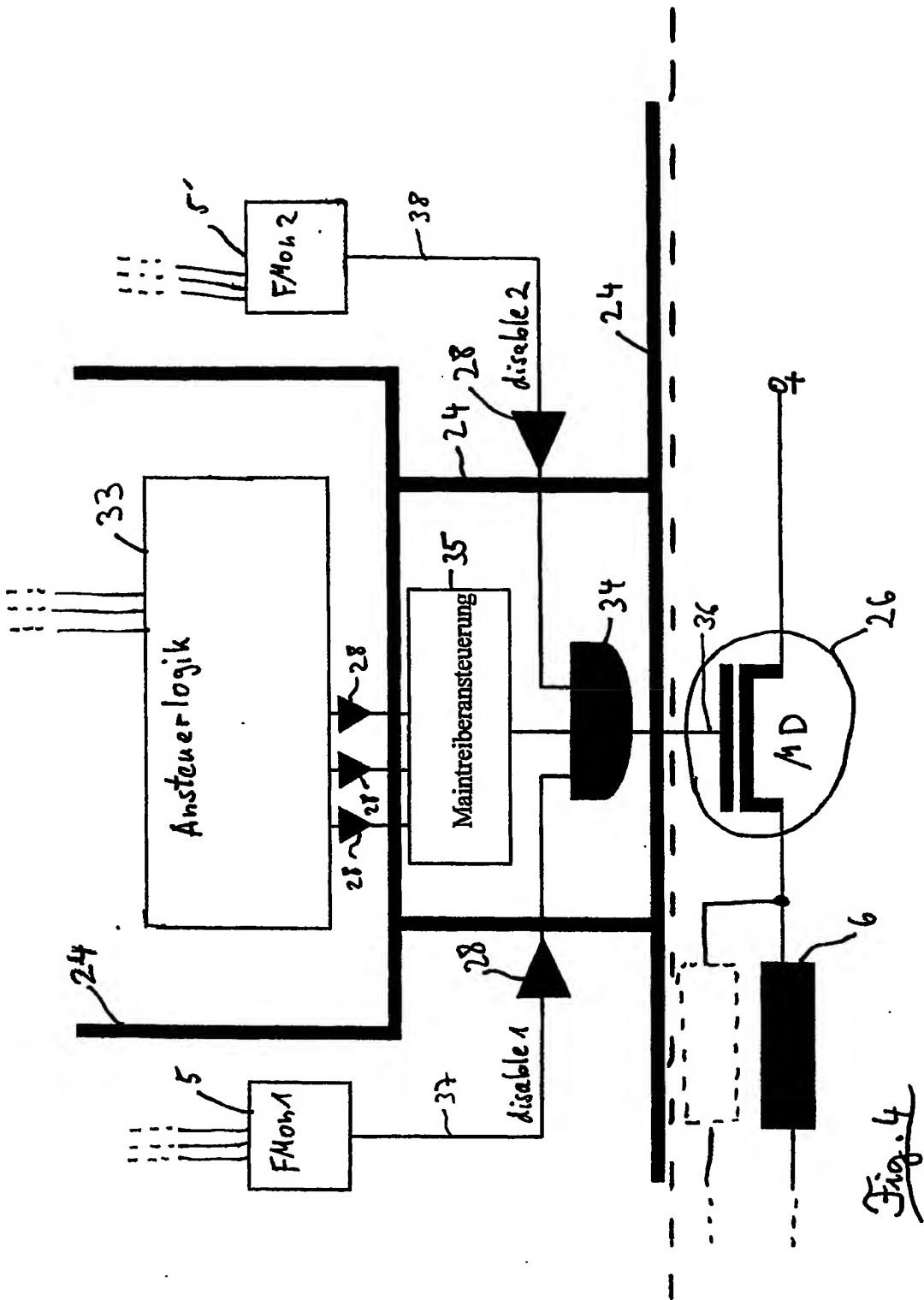


Fig. 3 b



INTERNATIONAL SEARCH REPORT

 Intl. Application No
 PL 1/EP 2004/052477

 A. CLASSIFICATION OF SUBJECT MATTER
 IPC 7 G05B19/042 G05B9/03

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

 Minimum documentation searched (classification system followed by classification symbols)
 IPC 7 G05B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 03/050624 A (CONTINENTAL TEVES AG & CO OHG ; FEY WOLFGANG (DE); TRASKOV ADRIAN (DE)) 19 June 2003 (2003-06-19)	1,2,6-8
Y	page 5, paragraph 3 - page 9, paragraph 2 claims 1,4,9 figure 1	3-5
Y	US 5 793 093 A (WARWICK COLIN ALAN) 11 August 1998 (1998-08-11) column 1, line 10 - column 2, line 42	3
Y	DE 100 53 820 A (PILZ GMBH & CO) 29 May 2002 (2002-05-29) column 3, line 39 - line 48 column 4, line 17 - line 48 figure 1	4,5

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- * & * document member of the same patent family

Date of the actual completion of the international search

13 January 2005

Date of mailing of the international search report

25/01/2005

 Name and mailing address of the ISA
 European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Authorized officer

Hasubek, B

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/EP2004/052477

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 03050624	A	19-06-2003	WO 03050624 A1 EP 1456720 A1	19-06-2003 15-09-2004
US 5793093	A	11-08-1998	NONE	
DE 10053820	A	29-05-2002	DE 10053820 A1 AT 264572 T AU 1399202 A DE 50102016 D1 WO 0237680 A1 EP 1330876 A1 JP 2004513556 T US 2003178961 A1	29-05-2002 15-04-2004 15-05-2002 19-05-2004 10-05-2002 30-07-2003 30-04-2004 25-09-2003

INTERNATIONALER RECHERCHENBERICHT

In ☐ nationales Aktenzeichen

PCT/EP2004/052477

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 G05B19/042 G05B9/03

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 G05B

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	WO 03/050624 A (CONTINENTAL TEVES AG & CO OHG ; FEY WOLFGANG (DE); TRASKOV ADRIAN (DE)) 19. Juni 2003 (2003-06-19)	1,2,6-8
Y	Seite 5, Absatz 3 - Seite 9, Absatz 2 Ansprüche 1,4,9 Abbildung 1	3-5
Y	US 5 793 093 A (WARWICK COLIN ALAN) 11. August 1998 (1998-08-11) Spalte 1, Zeile 10 - Spalte 2, Zeile 42	3
Y	DE 100 53 820 A (PILZ GMBH & CO) 29. Mai 2002 (2002-05-29) Spalte 3, Zeile 39 - Zeile 48 Spalte 4, Zeile 17 - Zeile 48 Abbildung 1	4,5

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

G Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

13. Januar 2005

Absendedatum des internationalen Recherchenberichts

25/01/2005

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3016

Bevollmächtigter Bediensteter

Hasubek, B

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2004/052477

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
WO 03050624	A	19-06-2003	WO 03050624 A1	19-06-2003
			EP 1456720 A1	15-09-2004
US 5793093	A	11-08-1998	KEINE	
DE 10053820	A	29-05-2002	DE 10053820 A1	29-05-2002
			AT 264572 T	15-04-2004
			AU 1399202 A	15-05-2002
			DE 50102016 D1	19-05-2004
			WO 0237680 A1	10-05-2002
			EP 1330876 A1	30-07-2003
			JP 2004513556 T	30-04-2004
			US 2003178961 A1	25-09-2003

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.